

## ⑫ 公開特許公報(A)

昭62-221239

⑬ Int. Cl.  
H 04 L 13/00識別記号  
3 1 3庁内整理番号  
7240-5K

⑭ 公開 昭和62年(1987)9月29日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 シリアル伝送モニタ装置

⑯ 特 願 昭61-65337

⑰ 出 願 昭61(1986)3月24日

⑱ 発 明 者 浅 沼 謙 治 川崎市川崎区田辺新田1番1号 富士電機株式会社内  
⑲ 出 願 人 富士電機株式会社 川崎市川崎区田辺新田1番1号  
⑳ 代 理 人 弁理士 山口 巖

## 明 細 書

1. 発明の名称 シリアル伝送モニタ装置

2. 特許請求の範囲

1) 表示手段の1画面に対応する記憶領域を持ち、該表示手段に表示すべきデータを各データコードごとに記憶するビデオRAMを備え、シリアル伝送路上の伝送データを順次入力しつつ、必要に応じこの伝送データに簡単な加工などを施したうえ、表示すべきデータを前記ビデオRAMに記憶し表示手段に表示するなどの動作を行うシリアル伝送モニタ装置において、

前記ビデオRAMに記憶された表示用データの各データコードが属しているコード系に従う該データコード別の表示パターンを、複数のコード系の各々ごとに記憶するキャラクタジェネレータと、

前記のコード系を予め指定して、このコード系に対応する前記のキャラクタジェネレータのみを有効とする手段と、

前記ビデオRAM中の各データコードに対応す

る表示パターンを前記の有効化されたキャラクタジェネレータを介して、前記表示手段に表示させる手段と、を備えたことを特徴とするシリアル伝送モニタ装置。

3. 発明の詳細な説明

【発明の属する技術分野】

本発明はシリアル伝送路に流れている伝送データを受信しつつ表示装置に表示し、伝送障害の発見、警告、解析などの監視動作を行うシリアル伝送路のモニタ装置に関する。

なお以下各図の説明において同一の符号は同一または相当部分を示す。

【従来技術とその問題点】

従来この種の装置はオンライン、オンラインスコープなどの名称で知られている。

第2図はこの種のモニタ装置の要部構成を示すブロック図である。同図において1はシリアル伝送路で上り及び下りのシリアル伝送データが流れている。DIは伝送路からこのモニタ装置に監視用として取込まれる伝送データである。受信回

路1は各個別の伝送データのスタートビット及びストップビットから中味の7ビット、8ビット等の所定のビット構成からなる個別の正味データ（データコード）を取出しつつ一時的に記憶する。

マイクロプロセッサ（ $\mu P$ とも略す）2は、受信回路1に一時記憶されたこのデータコードを次々取出し、必要に応じ所定の簡単な加工（例えば7ビットのデータコードに対しては先頭に1ビットデータを附加して8ビット（1バイト）とする。）を施したりしながら、次々にRAM3に転送する。

4はCRT、LCDなどからなる表示器7の1表示画面上の各データ領域に対応した記憶領域を持つRAMで、表示器7に表示するデータを各データコードごとに記憶させるものである。 $\mu P$ 2はRAM3の記憶データ中、表示器7に表示させるべきデータコードを順次取出して、ビデオRAM4に記憶する。

CGはROMなどからなるキャラクタジェネレータで、ビデオRAM4内の各データコードに対

応する文字（ここで文字とは数字、記号等を含む広義の文字をいう。）別の表示パターンを予め記憶している。

6は表示制御回路で、ビデオRAM4内の各データコードを定期的に表示の順（表示器7の画面走査の順）にキャラクタジェネレータCGに送らせ、当該データコードの表示パターンを表すデータ（パターンデータ）PDをキャラクタジェネレータCGから受取り、その表示パターンを表示器7の画面上の当該表示位置に表示する。

8はコード系設定回路で伝送データDI、従ってビデオRAM4内の表示用の各データコードの雄雌するコード系（ここでコードとはASCII、JIS8、EBCDICなど、情報処理用標準コードとも呼ばれ、各文字に対応する個別2進データ（データコード）のビット構成とそれが表わす文字との対応関係を予め取決められた規則をいう。）を設定するためのものである。

ところでこのキャラクタジェネレータCGは一つのコード系に従って、各データコードに対応す

る表示パターンを記憶しているのみであるため、該コード系と異なるコード系の伝送データDIをモニタしようとし、コード系設定回路8でこの異なるコード系を設定したときは、 $\mu P$ 2はRAM3から取出した表示用のデータコードをそのデータコードで表示すべき表示パターンと同じ表示パターンをキャラクタジェネレータCGが発生できるデータコードにコード変換してビデオRAM4に格納する必要がある。

ところがこのようにコード変換を行う方式では、RAM3からビデオRAM4に表示用データをストアする際に、 $\mu P$ 2を介しソフトウェアで行うこととなるため、表示すべきコードに変換するかどうかの判断、およびこのコード変換作業に時間がかかるという欠点がある。特にコード系の大部分のコード割り付けが異なる場合やサポートすべきコード系がたくさんある場合には、上述のコード変換の判断、変換作業に要するメモリ量および所要時間は多大になり、 $\mu P$ 2の負荷は非常に大きくなる。しかし $\mu P$ の負荷が大きくなってもシ

リアル伝送路からのデータ受信は優先しなければならないので、結局表示が遅れることになる。このことはモニタ装置の性能のひとつのリアルタイム表示性能を劣化させることにつながる。

また新たにサポートすべきコード系の表示パターンが、キャラクタジェネレータCGの記憶する表示パターンと全く異なる場合、キャラクタジェネレータCGが一つしかないので実現できないという欠点もある。

#### 【発明の目的】

この発明は前記の欠点を除去し、ソフトウェアによるデータコードの変換を行わずに、複数のコード系に従った伝送データの表示を行い、しかも表示パターンが全く異なるコード系にも対応できるシリアル伝送モニタ装置を提供することを目的とする。

#### 【発明の要点】

本発明の要点は、表示手段（表示器など）の1画面に対応する記憶領域を持ち、該表示手段に表示すべきデータを各データコードごとに記憶する

ビデオRAMを備え、シリアル伝送路上の伝送データを順次入力しつつ、必要に応じこの伝送データに簡単な加工などを施したうえ、表示すべきデータを前記ビデオRAMに記憶し表示手段に表示するなどの動作を行うシリアル伝送モニタ装置において、

前記ビデオRAMに記憶された表示用データの各データコードが準拠しているコード系に従う該データコード別の表示パターンを、複数のコード系の各々ごとに記憶するキャラクタジェネレータと、

前記のコード系を予め指定して、このコード系に対応する前記のキャラクタジェネレータのみを有効とする手段（コード系設定回路、CG切換回路など）と、

前記ビデオRAM中の各データコードに対応する表示パターンを前記の有効化されたキャラクタジェネレータを介して、前記表示手段に表示させる手段（表示制御回路など）と、を備えるようにした点にある。

を介し、シリアル伝送路上の伝送データDIを受信したμP2は、そのデータをRAM3に一度ストアする。μP2はシリアル伝送データDIを受信していないときにRAM3にストアしておいたデータのうち表示すべきデータを、表示器7に表示するためビデオRAM4内の適当なアドレス位置に書き込む。表示制御回路6の走査によりビデオRAM4から出力された各表示用データコードはキャラクタジェネレータCGA1～CGA3への共通のアドレスとなり、該データコードに対応した表示パターンが、コード系設定回路8の設定により前記のように有効化されたいずれか1つのキャラクタジェネレータCGAから表示制御回路6へ出力され、表示器7で表示される。

ここでコード系設定回路8、CG切換回路11を介しキャラクタジェネレータCGA1～CGA3のいずれか1つを有効化するには、前記設定回路8及び切換回路11AをμP2の内部バス1Bから切離して独立のハードウェアとしてもよい。

次に第1図(B)は前記のように3つのキャラク

#### 【発明の実施例】

以下第1図(A)、(B)に基づいて本発明の実施例を説明する。同図(A)、(B)は本発明の異なる実施例としての要部構成を示すブロック図で、図(A)は第2図に対応し、図(B)は図(A)の一部分に対応する。

第1図(A)において、第2図と異なるところは、先のキャラクタジェネレータCGに代り、それぞれ異なるコード系に対応するキャラクタジェネレータCGA(CGA1～CGA3)を設け、コード系設定回路8のコード系の設定に応じ、CG切換回路11(11A)を介し前記の3つのキャラクタジェネレータCGAのうち、モニタすべき伝送データDIに対応するコード系のものだけに有効化信号(CE信号)を与えて有効とするようにした点である。

なおこの例ではキャラクタジェネレータCGA1～CGA3はそれぞれASCII、JIS8、EBDICの各コード系に対応している。

次に第1図(A)の動作を述べると、受信回路1

タジェネレータCGA1～CGA3を用いる代りに大容量の1つのROMとしてのキャラクタジェネレータCGB内に、複数のコード系の表示パターンを蓄えておき、CG切換回路11(11B)の出力をキャラクタジェネレータCGBへの上位アドレスADHとし、ビデオRAM4からの出力データコードをキャラクタジェネレータCGBへの下位アドレスADLとして、この入力データコードに対応する表示パターンを切換えてもよい。

#### 【発明の効果】

以上の説明から明らかなようにこの発明によれば、モニタ対象の伝送データの準拠するコード系の変更をコード系別のキャラクタジェネレータを切換えることで実現したので、従来装置のようにソフトウェアによる受信データのコード変換が不要となり、リアルタイム表示性能の高いモニタ装置を提供でき、またキャラクタジェネレータを変更するだけで特定のコード系に従う伝送データのモニタも可能となる効果がある。

なおここで本発明の有用性について補足説明す

る。ひとくちにシリアル伝送といっても、スピード、レベル、プロトコル等の差いろいろ存在し、伝送コード系においてもASCII、JIS8、JIS7、EBCDIC、EBCDIK等様々のコードがある他に、コードを使用しない透過データの伝送もある。従って汎用のシリアル伝送モニタ装置にとって様々な伝送コードをサポートすることは大きな特長となる。

ところが多くの伝送コードのサポートをソフトウェアで行うことは前述のように処理時間が大きいという問題があり、高速の伝送をモニタする際に支障がでる。すなわちモニタ装置はシリアル伝送路のデータの受信を優先する必要があるのでコード変換を含めた表示処理がおろそかになり、実際の受信データに対して表示が遅れることになって、使用者にとって使いづらいものになる。

一方本発明によればビデオRAMに変示用データをストアするまでのソフトウェアによる処理は単純化でき、コード系に依存しなくてすむ。そしてコード系に依存するのはキャラクタジェネレー

タの切換だけとなり、モニタ装置のリアルタイム表示性能が向上する。また使用者が独自のコード系に対応する表示パターンを記憶したキャラクタジェネレータを使うことにすれば、ソフトウェアの変更なしに秘密の伝送など特定の伝送のモニタも可能となるものである。

#### 4. 図面の簡単な説明

第1図(A)、(B)はそれぞれ本発明の異なる実施例としての要部構成を示すブロック図、第2図は第1図(A)に対応する従来装置のブロック図である。

L: シリアル伝送路、DI: 伝送データ、1: 受信回路、2: マイクロプロセッサ( $\mu$ P)、3: RAM、4: ビデオRAM、6: 表示制御回路、7: 表示器、8: コード設定回路、11(11A、11B): CG切換回路、CGA(CGA1~CGA3): CGジェネレータ、CGB: キャラクタジェネレータ。

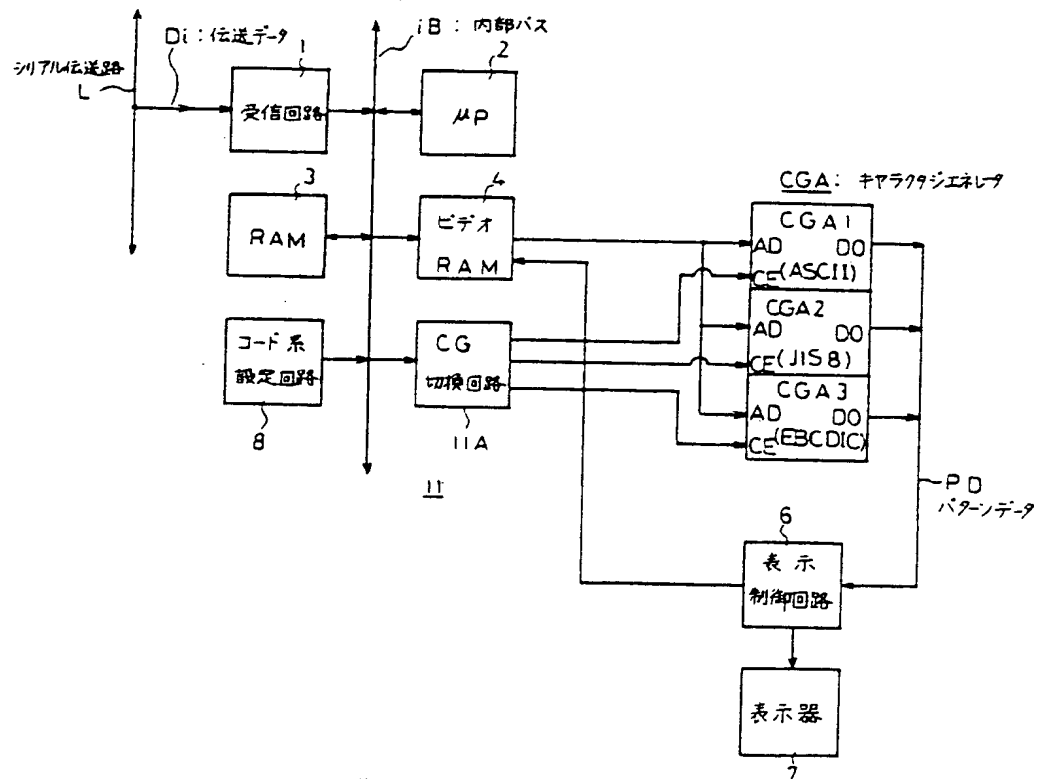


図1 (A)

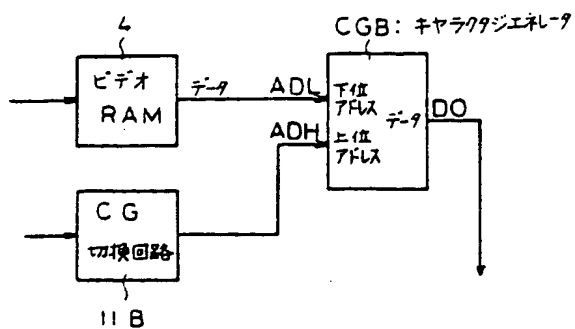


図 1 (B)

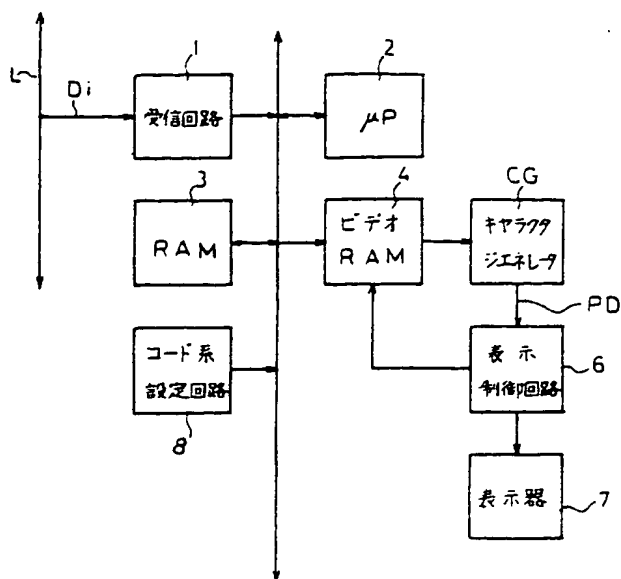


図 2

**JAPANESE LAID-OPEN PATENT APPLICATION**

**S62-221239 (1987)**

(19) Japan Patent Office (JP)

(11) Publication No. S62-221239

(12) Published Unexamined Patent Application (A)

(43) Publication Date September 29, 1987

(51) Int. Cl.<sup>4</sup> Identification Code In-House Reference. No.

H 04 L 13/00

313

7240-5K

No examination request

Number of inventions 1 (altogether 5 pages)

---

(54) Title of the Invention

**SERIAL TRANSMISSION MONITOR DEVICE**

(21) Application No.

S61-65337

(22) Application Date

March 24, 1986

(Showa 61)

(72) Inventor

**Kenji Asanuma**

Fuji Electric Co., Ltd.

1-1, Nitta, Tanabe, Kawasaki-

ku

Kawasaki-shi

(71) Applicant

**Fuji Electric Co., Ltd.**

1-1, Nitta, Tanabe, Kawasaki-

ku

Kawasaki-shi

(74) Agent

**Iwao Yamaguchi, Attorney**

## **Specification**

### **I. Title of the Invention**

Serial Transmission Monitor Device

### **II. Claims**

- 1) A serial transmission monitor device, which is provided with a video RAM having a storage region corresponding to one screen of a display means which stores data to be displayed in the display means for each data code and inputs transmission data on a serial transmission line in chronological order while applying simple processing, etc. to the transmission data according to demand, as well as storing the data to be displayed in the video RAM and taking actions of displaying the data on the display means, etc., wherein it is characterized by being provided with character generators for storing a display pattern for each data code of display data stored in the video RAM according to a code system based on the data codes in each of multiple code systems, a means for pre-designating the code system and effectuating only the character generator corresponding to the code system and a means for displaying the display pattern corresponding to each data code in the video RAM on the display means via the effectuated character generator.

## **II. Detailed Description of the Invention**

### **[Technical Field of the Invention]**

The present invention relates to the monitor device of a serial transmission line which receives transmission data flowing in the serial transmission line while displaying the data on a display device and takes monitoring actions such as disclosing transmission troubles, warning, analysis, etc.

The same symbol indicates the same or equal parts in the following drawings.

### **[Prior Art and Its Problems]**

Conventional devices of this type have been known by the names of on-line, on-line scope, etc.

Fig. 2 is a block diagram showing the construction of the principal parts in this type of monitor device. In Fig. 2, L is a transmission line, on which upward and downward serial transmission data flows. DI is the transmission data incorporated from the transmission line L into the monitor device for monitoring. A receiving circuit 1 obtains individual net data (data codes) composed of a prescribed bit construction, such as medium 7-bit, 8-bit, etc. from the start bit and the stop bit of individual trans-mission data while storing the data temporarily.

A microprocessor (also abbreviated as  $\mu P$ ) 2 obtains the data codes temporarily stored in the receiving circuit 1 one by one and, upon



demand, transfers the codes to a RAM 3 while applying prescribed simple processing to the data (e. g., 1-bit data are attached to a 7-bit data code in the front to make it into 8-bit (1 byte)).

No.4 is a RAM having a storage region corresponding to each data region on one display screen of a display device 7 composed of a CRT, LCD, etc. and stores the data displayed on the display device 7 for each data code. The  $\mu$ P 2 obtains the data codes to be displayed on the display device 7 in stored data of the RAM 3 in chronological order and stores the codes in the video RAM 4.

CG is a character generator composed of ROM, etc. and pre-stores a display pattern for each character (here it means character in a broad sense, including character, digit, sign, etc.) corresponding to each data code in the video RAM.

No. 6 is a display control circuit, which sends each data code in the video RAM 4 to the character generator CG periodically and in the chronological order of display (order of scanning the screen of the display device 7), receives data (pattern data) PD for expressing the display pattern of the data code from the character generator CG, and displays the display pattern at the display position on the screen of the display device 7.

No. 8 sets up a code system (the codes are also called standard codes for information processing such as ASCII, JIS8, EBCDIC, etc., and means rules for pre-determining correspondence between the bit construction of the individual binary data (data codes) corresponding to each character and character expressing the data.).

Because the character generator CG only stores a display pattern corresponding to each data code according to a single code system, when transmission data DI of a code system different from the code system are to be monitored and this different code system is set up in the code system setting circuit 8, the  $\mu P$  2 must convert the display pattern the same as a display pattern which should display the display data code obtained from the RAM 3 from that data code to a data code which can be generated by the character generator CG and stores the data code in the video RAM 4.

However, in the mode wherein the code conversion is thus performed, when display data are stored from the RAM into video RAM, it is performed by a software via the  $\mu P$  2 and therefore has the drawback that a time is taken for the judgment of whether the code is converted to a code to be displayed and the code conversion operation. Particularly, when most of code allocations of a code system are different or a lot of code systems to be supported exist, the memory capacitance and time taken for the judgment of the above code conversion and the conversion operation become considerable, thus the load of  $\mu P$  2 greatly increases. However, the data reception from the serial transmission line must have priority even if the load of  $\mu P$  2 increases, therefore the final display is retarded. This is connected with the deterioration of real-time display performance as one performance of the monitor device.

There is also the drawback that when a display pattern of a code system to be newly supported is totally different from the display pattern stored in the character generator CG, the display cannot be realized because there is only one character generator CG.

### **[Purpose of the Invention]**

The present invention eliminates the above drawbacks and is aimed at providing a serial transmission monitor device in which transmission data are displayed according to multiple code systems without performing the conversion of data codes by means of software and a display pattern can correspond to totally different code systems.

---

### **[Main points of the Invention]**

Main points of the present invention consist of a serial transmission monitor device which is provided with a video RAM having a storage region corresponding to one screen of a display means and storing data to be displayed in the display means for each data code and inputs transmission data on a serial transmission line in chronological order while applying simple processing, etc. to the transmission data according to demand as well as storing the data to be displayed in the video RAM and taking the action of displaying the data on the display means, etc. and is characterized by being provided with character generators for storing a display pattern for each data code of display data stored in the video RAM according to a code system based on the data codes in each of multiple code systems, a means for pre-designating the code system and effectuating only the character generator corresponding to the code system and a means for displaying the display pattern corresponding to each data code in the video RAM on the display means via the effectuated character generator.

## [Embodiments of the Invention]

Embodiments of the present invention are described hereafter, with reference to Fig. 1(A), (B) below. Fig. 1(A), (B) are block diagrams showing constructions of the principal parts as embodiments of the present invention, Fig. 1(A) corresponds to Fig. 2, and Fig. 1(B) corresponds to a part of Fig. 1(A).

Fig. 1(A) is different from Fig. 2 in that character generators CGA (CGA1 - CGA3) corresponding to different code systems, respectively are provided in place of the former character generator CG, and an effectuation signal (CE signal) is given only to a code system corresponding to transmission data DI to be monitored among the three character generators CGA via a CG switching circuit 11 (11A).

Moreover, in this example, the character generators CGA1 - CGA3 correspond to code systems of ASCII, JIS8, EBCDIC, respectively.

Next, if the actions of Fig. 1(A) are described, a  $\mu$ P 2 with received transmission data DI on a serial transmission line L once stores the data in a RAM 3 via a receiving circuit 1. When the  $\mu$ P 2 does not receive the transmission data DI, data to be displayed among the data stored in the RAM are written in a suitable address in the video RAM 4 to display the data on a display device 7. Display data codes output from the video RAM 4 become a common address to the character generators CGA1 - CGA3 by scanning of a display control circuit 6, a display pattern corresponding to the data codes are output from any one of the character generators CGA effectuated as described above to the display control circuit 6 by

setting of a code system setting circuit 8, and then displayed on the display device 7. Here, the code system setting circuit 8 and the switch circuit 11A are cut off from an internal bus 1B of the  $\mu$ P 2 to effectuate any one of the character generators CGA1 - CGA3 via the setting circuit 8 and the CG switch circuit 11A.

Next, in Fig. 1(B), display patterns of multiple codes are stored in the character generator CGB as one large-capacity ROM in place of using the three character generators CGA1 - CGA3 as described above, and the display patterns corresponding to the input data codes may also be switched by taking the output of the CG switch circuit 11 (11B) as a superior address ADH to the character generator CGB and the output of the video RAM 4 as an inferior address ADL to the character generator CGB.

#### **[Efficacy of the Invention]**

As is evident from the above description, the present invention has an effect such that it does not require the code conversion of received data by a software like the conventional device, enables providing a monitor device with high real-time display performance and also enables monitoring the transmission data according to a specific code system only by changing the character generators because the change of code systems based on transmission data of monitoring target is realized by switching the character generator for each code system.

Moreover, the usefulness of the present invention is supplementally described here. Even though the transmission is called serial transmission in one word, various differences of speed, level, protocol, etc. exist, various codes such as ASCII,

JIS8, JIS7, EBCDIC, EBCDIK, etc. exist in the transmission code systems. Furthermore, a permeable data transmission without using codes also exists. Accordingly, this is a big strong point to support various transmission codes for a general-purpose serial transmission monitor device.

However, the support of many transmission codes by software has the problem of taking a lot of processing time as described above, with difficulty in monitoring a high-speed transmission. Namely, ~~the monitoring device must have a priority to the reception of~~ data of a serial transmission line, therefore display processing containing code conversion is neglected, and the display is retarded for actual received data and is difficult to employ for users.

On the other hand, the present invention enables simplifying the processing by software until the display data is stored in the video RAM and finished independently of the code systems. Then, the dependence on the code systems becomes only the switching of the character generators. Therefore, the real-time display performance of the monitor device is enhanced. If a user employs character generators in which display patterns corresponding to individual code systems are stored, it also enables monitoring specific transmissions such as secret transmissions, etc. without changing the software.

#### IV. Brief Description of the Invention

Fig. 1(A), (B) are block diagrams showing the construction of the principal parts as different embodiments of the present invention, respectively.

Fig. 2 is block diagram of a conventional device corresponding to Fig. 1(A).

~~L~~ : ~~serial transmission line~~

DI : transmission data

1 : receiving circuit

2 : microprocessor ( $\mu$ P)

3 : RAM

4 : video RAM

6 : display control circuit

7 : display device

8 : code setting circuit

11 (11A, B11B) : CG switch circuits

CGA (CGA1 - CGA3), CGB : character generators

L : serial transmission line

DI : transmission data

1 : receiving circuit

2 : microprocessor ( $\mu$ P)

3 : RAM

4 : video RAM

6 : display control circuit

7 : display device

8 : code system setting circuit

11 (11A, 11B) : CG switch circuits

CGA (CGA1 - CGA3), CGB : character generators

PD : pattern data  
IB : internal bus

**Fig. 1(A)**

4 : video RAM → data → ADL  
11B : CG switch circuit  
ADL : inferior address  
ADH : superior address  
CGB : character generator

---

**Fig. 1(B)**

1 : receiving circuit  
2 :  $\mu$ P  
3 : RAM  
4 : video RAM  
6 : display control circuit  
7 : display device  
8 : code system setting circuit  
CG : character generators

**Fig. 2**



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**